



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2003-0018991  
Application Number

출원 년 월 일 : 2003년 03월 26일  
Date of Application MAR 26, 2003

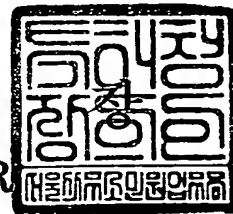
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년      08      월      08      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.03.26
【발명의 명칭】	반도체 메모리 집적회로
【발명의 영문명칭】	Semiconductor memory integrated circuit
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	이정배
【성명의 영문표기】	LEE, JUNG BAE
【주민등록번호】	670227-1046533
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 진산마을 삼성5차 523-302
【국적】	KR
【발명자】	
【성명의 국문표기】	이재형
【성명의 영문표기】	LEE, JAE HYUNG
【주민등록번호】	720905-1120021
【우편번호】	442-724
【주소】	경기도 수원시 팔달구 영통동 롯데아파트 946-1710
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)

## 【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	2	면	2,000	원
---------	---	---	-------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	8	항	365,000	원
---------	---	---	---------	---

【합계】	396,000	원		
------	---------	---	--	--

【첨부서류】	1. 요약서·명세서(도면)_1통			
--------	-------------------	--	--	--

**【요약서】****【요약】**

본 발명은 반도체 메모리 집적회로를 공개한다. 이 회로는 복수개의 제1데이터 입출력 패드들, 복수개의 어드레스 및 명령어 패드들, 및 복수개의 제2데이터 입출력/어드레스 패드들을 순서대로 배치하고, 복수개의 제2데이터 입출력/어드레스 패드들 각각을 제어신호에 응답하여 제2데이터 입출력 패드들로 사용하거나, 제어신호에 응답하여 어드레스 패드들로 사용하는 것을 특징으로 한다. 따라서, 반도체 메모리 집적회로의 일부의 패드들을 데이터 입출력 및 어드레스 패드들로 선택적으로 사용하는 것이 가능하여 서로 다른 패키지 형태로 패키지화가 가능하며, 와이어 본딩 작업이 용이하게 되어, 장치의 폐일을 유발할 가능성이 줄어들게 된다.

**【대표도】**

도 3

**【명세서】****【발명의 명칭】**

반도체 메모리 집적회로{Semiconductor memory integrated circuit}

**【도면의 간단한 설명】**

도1은 종래의 반도체 메모리 집적회로를 사용한  $\times 16$  TSOP 반도체 메모리 장치를 나타내는 것이다.

도2는 종래의 반도체 메모리 집적회로를 사용한  $\times 36$  BGA 패키지 반도체 메모리 장치를 나타내는 것이다.

도3은 본 발명의 반도체 메모리 집적회로의 일예의패드 배치를 나타내는 것이다.

도4는 본 발명의 반도체 메모리 집적회로의 제2데이터 입출력/어드레스 패드들에 연결되는 어드레스 및 데이터 입출력 회로의 구성을 나타내는 블록도이다.

도5는 본 발명의 반도체 메모리 집적회로를 사용한  $\times 36$  BGA 패키지 반도체 메모리 장치를 나타내는 것이다.

도6은 본 발명의 반도체 메모리 집적회로를 사용한  $\times 16$  TSOP 반도체 메모리 장치를 나타내는 것이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <7> 본 발명은 반도체 메모리 집적회로에 관한 것으로, 특히 동일한 회로 구성 및 패드 배치를 가지는 반도체 메모리 집적회로를 서로 다른 형태의 패키지로 패키지화가 가능한 반도체 메모리 집적회로에 관한 것이다.
- <8> 일반적으로, 종래의 반도체 메모리 집적회로는 동일한 회로 구성을 가지더라도 반도체 메모리 집적회로를 패키지화하는 패키지 형태에 따라 서로 다른 패드 구조를 가지도록 설계된다.
- <9> 예를 들면, TSOP(thin small outline package)으로 패키지화하는 반도체 메모리 집적회로와 BGA패키지로 패키지화하는 반도체 메모리 집적회로의 패드 배열을 달리 가져가야 한다.
- <10> 도1은 종래의 반도체 메모리 집적회로를 사용한  $\times 16$  TSOP 반도체 메모리 장치를 나타내는 것이다.
- <11> 도1에서, 10은 TSOP 반도체 메모리 장치를, 12는 TSOP 내부의 반도체 메모리 집적회로를, 12-1은 반도체 메모리 집적회로 내부의 데이터 입출력 패드들( $\times 16$  반도체 메모리 장치로 구현가능한 데이터 입출력 패드들)을, 12-2는 반도체 메모리 집적회로 내부의 어드레스 및 명령어 패드들을 나타낸다. 그리고, DQ는 데이터 입출력 핀들을, ADD, CMD는 어드레스 및 명령어 핀들을 나타낸다.

- <12> 도1로부터 알 수 있듯이, 종래의 TSOP 반도체 메모리 장치(10)의 반도체 메모리 집적회로(12)의 패드들은 데이터 입출력 패드들(12-1)과 어드레스 및 명령어 패드들(12-2)이 좌우에 각각 배치된다. 또한, 종래의 TSOP 반도체 메모리 장치(10)의 데이터 입출력 핀들(DQ)과 어드레스 및 명령어 핀들(ADD, CMD)이 TSOP의 좌측과 우측에 각각 배치된다.
- <13> 도2는 종래의 반도체 메모리 집적회로를 사용한 86 BGA 패키지 반도체 메모리 장치를 나타내는 것이다.
- <14> 도2에서, 20은 BGA 패키지 반도체 메모리 장치를 나타내며, 도1에 나타난 반도체 메모리 집적회로와 동일한 반도체 메모리 집적회로는 동일 부호로 나타내었다. 그리고, 1DQ는 제1데이터 입출력 볼들을, ADD, CMD는 어드레스 및 명령어 볼들, 2DQ는 제2데이터 입출력 볼들을 나타낸다.
- <15> 도2으로부터 알 수 있듯이, 86 BGA 패키지 반도체 메모리 장치(20)의 제1데이터 입출력 볼들(1DQ)은 좌측에 배치되고, 어드레스 및 명령어 볼들(ADD, CMD)은 중앙에 배치되고, 제2데이터 입출력 볼들(2DQ)은 우측에 배치된다. 여기에서, 제1데이터 입출력 볼들(1DQ)은 36개의 데이터 입출력 볼들중 18개의 데이터 입출력 볼들을 나타내며, 제2데이터 입출력 볼들(2DQ)은 36개의 데이터 입출력 볼들중 나머지 18개의 데이터 입출력 볼들을 나타낸다.
- <16> 따라서, 도1에 나타난 것과 동일한 회로 구성 및 패드 배열을 가진 반도체 메모리 집적회로(12)를 86 BGA 패키지 반도체 메모리 장치로 패키지하려고 하면 데이터 입출력 패드들(12-1)과 제2데이터 입출력 볼들(2DQ)사이의 거리가 멀어 와이어 본딩 작업이 용

이하지 않으며, 와이어 본딩시에 본딩이 잘못됨으로 인해서 반도체 메모리 장치의 폐일을 유발할 가능성이 커지게 된다.

<17> 즉, 동일한 회로 구성 및 패드 배열을 가지는 반도체 메모리 집적회로(12)를  $\times 6$  TSOP 및  $\times 6$  BGA 패키지 반도체 메모리 장치로 동시에 제조하는 것이 불가능하다. 따라서,  $\times 6$  BGA 패키지 반도체 메모리 장치를 위한 패드 배열을 가진 반도체 메모리 집적회로를 별도로 제조하여야 된다는 불편함이 있다.

<18> 따라서, 종래의 반도체 메모리 집적회로는 동일한 회로 구성 및 패드 배열을 가지는 반도체 메모리 집적회로를 서로 다른 데이터 입출력 핀수를 가지는 서로 다른 패키지 형태의 반도체 메모리 장치로 패키지화하는 것이 불가능하다.

【발명이 이루고자 하는 기술적 과제】

<19> 본 발명의 목적은 동일 회로 구성 및 패드 배치를 가진 반도체 메모리 집적회로를 사용하여 서로 다른 패키지 형태의 반도체 메모리 장치로 패키지화하는 것이 가능한 반도체 메모리 집적회로를 제공하는데 있다.

<20> 이와같은 목적을 달성하기 위한 본 발명의 반도체 메모리 집적회로는 복수개의 제1 데이터 입출력 패드들, 복수개의 어드레스 및 명령어 패드들, 및 복수개의 제2데이터 입출력/어드레스 패드들을 순서대로 배치하고, 상기 복수개의 제2데이터 입출력/어드레스 패드들 각각을 제1패키지 형태로 패키지화할 때는 제어신호에 응답하여 제2데이터 입출력 패드들로 사용하고, 제2패키지 형태로 패키지화할 때는 상기 제어신호에 응답하여 어드레스(및, 명령어) 패드들로 사용하는 것을 특징으로 한다.



<21> 그리고, 상기 반도체 메모리 집적회로는 상기 제2데이터 입출력/어드레스 패드에 연결되어 상기 제2데이터 입출력/어드레스(및, 명령어) 패드로부터 인가되는 데이터/어드레스(및, 명령어)를 버퍼하는 데이터 입력/어드레스(및, 명령어) 버퍼, 제1상태의 상기 제어신호에 응답하여 인에이블되어 상기 데이터 입력/어드레스(및, 명령어) 버퍼로부터 출력되는 데이터를 래치하고 출력하는 데이터 입력 래치, 제2상태의 상기 제어신호에 응답하여 인에이블되어 상기 데이터 입력/어드레스(및, 명령어) 버퍼로부터 출력되는 어드레스(및, 명령어)를 래치하고 출력하는 어드레스(및, 명령어) 입력 래치, 제1상태의 상기 제어신호에 응답하여 인에이블되어 내부로부터 출력되는 데이터를 래치하고 출력하는 데이터 출력 래치, 및 제2상태의 상기 제어신호에 응답하여 인에이블되어 상기 데이터 출력 래치로부터 출력되는 데이터를 버퍼하여 출력하는 데이터 출력 버퍼를 상기 복수개의 제2데이터 입출력/어드레스(및, 명령어) 패드들 각각에 대하여 구비하는 것을 특징으로 한다.

<22> 그리고, 상기 제1패키지 형태는 BGA 패키지이고, 상기 제2패키지 형태는 TSOP인 것을 특징으로 한다.

#### 【발명의 구성 및 작용】

<23> 이하, 첨부한 도면을 참고로 하여 본 발명의 반도체 메모리 집적회로를 설명하면 다음과 같다.

<24> 도3은 본 발명의 반도체 메모리 집적회로의 일예의 패드 배치를 나타내는 것이다.

- <25> 도3에서, 30은  $\times 86$  반도체 메모리 장치로 구현가능한 데이터 입출력 패드들을 구비한 반도체 메모리 집적회로를, 30-1은 제1데이터 입출력 패드들을, 30-2는 어드레스 및 명령어 패드들을, 30-3은 제2데이터 입출력/어드레스 패드들을 나타낸다.
- <26> 도3에 나타난 바와 같이, 본 발명의 반도체 메모리 집적회로(30)는 좌측에 제1데이터 입출력 패드들을 배치하고, 중앙에 어드레스 및 명령어 패드들을 배치하고, 우측에 제2데이터 입출력/어드레스 패드들을 배치하여 구성되어 있다.
- <27> 본 발명의 반도체 메모리 집적회로(30)는 우측의 제2데이터 입출력/어드레스 패드들 각각이 제2데이터 입출력 패드들로도 사용되고 어드레스 패드들로도 사용된다.
- <28> 즉, 본 발명의 반도체 메모리 집적회로(30)를  $\times 86$  BGA 패키지 반도체 메모리 장치로 패키지화하는 경우에는 제2데이터 입출력/어드레스 패드들을 제2데이터 입출력 패드들로 사용하고, 본 발명의 반도체 메모리 집적회로(30)를  $\times 46$  TSOP 반도체 메모리 장치로 패키지화하는 경우에는 제2데이터 입출력/어드레스 패드들을 어드레스 패드들로 사용한다.
- <29> 도4는 본 발명의 반도체 메모리 집적회로의 제2데이터 입출력/어드레스 패드들에 연결되는 어드레스 및 데이터 입출력 회로의 구성을 나타내는 블록도로서, 데이터 입력/어드레스 버퍼(40), 데이터 출력 버퍼(42), 데이터 입력 래치(44), 어드레스 래치(46), 및 데이터 출력 래치(48)로 구성되어 있다.
- <30> 도4에서, 41로 나타난 것은 제2데이터 입출력/어드레스 패드들중 대표적인 하나의 제2데이터 입출력/어드레스 패드를 나타내고, 43은 제어신호(CON) 패드를 나타낸다. 그

리고, 도시하지 않은 나머지 제2데이터 입출력/어드레스 패드들에 연결되는 어드레스 및 데이터 입출력 회로의 구성은 도4와 동일하게 구성된다.

<31> 그리고, 도4에서, 제어신호(CON) 패드는 별도로 추가할 필요없이, 반도체 메모리 집적회로(50)의 패드들중 연결되지 않는 패드(NC; no connection)를 제어신호 패드로 이용하면 된다.

<32> 도4에 나타낸 블록들 각각의 기능을 설명하면 다음과 같다.

<33> 데이터 입력/어드레스 버퍼(40)는 제2데이터 입출력/어드레스 패드(41)로부터 인가되는 데이터 또는 어드레스를 버퍼한다. 데이터 출력 버퍼(42)는 제어신호(CON)에 응답하여 인에이블되어 데이터 출력 래치(48)로부터 출력되는 데이터를 버퍼하여 제2데이터 입출력/어드레스 패드(41)로 출력한다. 데이터 입력 래치(44)는 제어신호(CON)에 응답하여 인에이블되어 데이터 입력/어드레스 버퍼(40)로부터 출력되는 데이터를 래치하여 입력 데이터(in)를 발생한다. 어드레스 래치(46)는 제어신호(CON)에 응답하여 인에이블되어 데이터 입력/어드레스 버퍼(40)로부터 출력되는 어드레스를 래치하여 어드레스(add)를 발생한다. 데이터 출력 래치(48)는 제어신호(CON)에 응답하여 인에이블되어 내부로부터 출력되는 데이터(out)를 래치하여 데이터 출력 버퍼(42)로 출력한다.

<34> 도4에 나타낸 구성의 동작을 설명하면 다음과 같다.

<35> 제어신호(CON) 패드(43)를 반도체 메모리 집적회로의 전원전압 패드(핀)(미도시)에 연결하게 되면 전원전압 인가시에 "하이"레벨의 제어신호(CON)가 발생된다. 그러면, "하이"레벨의 제어신호(CON)에 응답하여 데이터 입력 래치(44), 데이터 출력 버퍼(42), 및 데이터 출력 래치(48)의 동작이 인에이블되고, 어드레스 래치(46)의 동작이 디스에이블

된다. 따라서, 제2데이터 입출력/어드레스 패드들이 제2데이터 입출력 패드들로 사용되게 된다.

<36> 그리고, 제어신호(CON) 패드(43)를 반도체 메모리 집적회로의 접지전압 패드(핀)(미도시)에 연결하게 되면 접지전압 인가시에 "로우"레벨의 제어신호(CON)가 발생된다. 그러면, "로우"레벨의 제어신호(CON)에 응답하여 어드레스 래치(46)의 동작이 인에이블되고, 데이터 입력 래치(44), 데이터 출력 버퍼(42), 및 데이터 출력 래치(48)의 동작이 디스에이블된다. 따라서, 제2데이터 입출력/어드레스 패드들이 어드레스 패드들로 사용되게 된다.

<37> 도5는 본 발명의 반도체 메모리 집적회로를 사용한 86 BGA 패키지 반도체 메모리 장치를 나타내는 것이다.

<38> 도5에서, 86 BGA 패키지 반도체 메모리 장치(20)는 도2에 나타난 장치와 동일하므로 동일 번호로 나타내고, 반도체 메모리 집적회로(30)는 도3에 나타난 회로와 동일하므로 동일 번호로 나타내었다.

<39> 도5에 나타난 반도체 메모리 집적회로(30)의 제2데이터 입출력/어드레스 패드들(30-3)은 제2데이터 입출력 패드들로 사용된다.

<40> 도5에서, 제1데이터 입출력 패드들(30-1)은 제1데이터 입출력 볼들(1DQ)과 와이어 본딩하고, 어드레스 및 명령어 패드들(30-2)은 어드레스 및 명령어 볼들(ADD, CMD)과 와이어 본딩한다. 그리고, 제2데이터 입출력/어드레스 패드들(30-3)은 제2데이터 입출력 볼들(2DQ)과 와이어 본딩한다.

- <41> 이때, 도5에 나타난 본 발명의 반도체 메모리 집적회로(30)는 종래의 반도체 메모리 집적회로와 달리,  $\times 86$  BGA 패키지 반도체 메모리 장치(20)의 볼들의 배치와 동일한 순서로 배치되어 있기 때문에 대응하는 패드들과 볼들사이의 거리가 가까워 와이어 본딩이 용이하고, 이에 따라 와이어 본딩시에 인접 볼들과 잘못 연결될 가능성이 줄어들어 장치의 폐일을 유발할 가능성이 줄어들게 된다.
- <42> 도6은 본 발명의 반도체 메모리 집적회로를 사용한  $\times 16$  TSOP 반도체 메모리 장치를 나타내는 것이다.
- <43> 도6에서,  $\times 16$  TSOP 패키지 반도체 메모리 장치(10)는 도1에 나타난 장치와 동일하므로 동일 번호로 나타내고, 반도체 메모리 집적회로(30)는 도3에 나타난 집적회로와 동일하므로 동일 번호로 나타내었다.
- <44> 도6에 나타난 반도체 메모리 집적회로(30)의 제2데이터 입출력/어드레스 패드들(30-3)은 어드레스 패드들로 사용된다.
- <45> 도6에서, 제1데이터 입출력 패드들(30-1)은 데이터 입출력 핀들(DQ)과 와이어 본딩이 이루어지고, 제2데이터 입출력/어드레스 패드들(50-3)은 장치의 어드레스 및 명령어 핀들(ADD, CMD)과 와이어 본딩이 이루어지게 된다. 이때, 반도체 메모리 집적회로(50)의 어드레스 및 명령어 패드들은 장치의 핀들과 연결되지 않게 된다.
- <46> 이때, 도6에 나타난 본 발명의 반도체 메모리 집적회로(30)의 제1데이터 입출력 패드들(30-1)은 장치(10)의 데이터 입출력 핀들(DQ)과 거리가 가까우므로 이들 패드들(30-1)과 핀들(DQ)을 와이어 본딩한다. 그리고, 반도체 메모리 집적회로(30)의 어드레스 및 명령어 패드들(30-2)과 어드레스 및 명령어 핀들(ADD, CMD)은 거리가 멀리 떨어져 있

기 때문에 와이어 본딩이 용이하지 않으므로, 이들 패드들(30-2)과 핀들(ADD, CMD)을 와이어 본딩하지 않고, 제2데이터 입출력/어드레스 패드들(30-3)과 어드레스 및 명령어 핀들(ADD, CMD)을 와이어 본딩한다.

<47> 그런데, 어드레스 및 명령어 핀들(ADD, CMD)중 명령어 핀들과 어드레스 및 명령어 패드들(30-2)중 명령어 패드들과의 거리가 가깝다면 명령어 핀들을 제2데이터 입출력/어드레스 패드들(30-3)과 와이어 본딩하지 않고 명령어 패드들과 와이어 본딩하여도 상관 없다.

<48> 따라서, 본 발명의 반도체 메모리 집적회로(30)는  $\times 16$  TSOP 반도체 메모리 장치로 패키지화할 때도 와이어 본딩이 용이하게 되며, 와이어 본딩시에 본딩의 잘못으로 인해서 장치의 폐일이 발생할 가능성이 줄어들게 된다.

<49> 상술한 실시예에서는 36개의 데이터를 입출력할 수 있는 본 발명의 반도체 메모리 집적회로를 제시하고,  $\times 8$  BGA 패키지,  $\times 16$  TSOP 반도체 메모리 장치로 패키지화가 가능함을 나타내었으나, 본 발명의 반도체 메모리 집적회로는  $\times 18$ ,  $\times 9$  BGA 패키지 및  $\times 8$ ,  $\times 4$  TSOP 반도체 메모리 장치로도 패키지화가 가능하다.

<50> 그래서, 만일 본 발명의 반도체 메모리 집적회로가 72개의 데이터를 입출력할 수 있다면,  $\times 72$ ,  $\times 36$ ,  $\times 18$ ,  $\times 9$  BGA 패키지,  $\times 32$ ,  $\times 16$ ,  $\times 8$ ,  $\times 4$  TSOP 반도체 메모리 장치로도 패키지화가 가능하다.

<51> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터

벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**【발명의 효과】**

<52> 따라서, 본 발명의 반도체 메모리 집적회로는 일부의 패드들을 데이터 입출력 패드들 또는 어드레스(및, 명령어) 패드들로 선택적으로 사용하는 것이 가능하므로 서로 다른 패키지 형태로 패키지화가 가능하다.

<53> 또한, 본 발명의 반도체 메모리 집적회로는 서로 다른 패키지 형태로 패키지화시에 와이어 본딩 작업이 용이하게 되어, 장치의 폐일을 유발할 가능성이 줄어들게 된다.

## 【특허청구범위】

## 【청구항 1】

복수개의 제1데이터 입출력 패드들;

복수개의 어드레스 및 명령어 패드들; 및

복수개의 제2데이터 입출력/어드레스 패드들을 순서대로 배치하고,

상기 복수개의 제2데이터 입출력/어드레스 패드들 각각을

제1패키지 형태로 패키지화할 때는 제어신호에 응답하여 제2데이터 입출력 패드들  
로 사용하고, 제2패키지 형태로 패키지화할 때는 상기 제어신호에 응답하여 어드레스 패  
드들로 사용하는 것을 특징으로 하는 반도체 메모리 집적회로.

## 【청구항 2】

제1항에 있어서, 상기 반도체 메모리 집적회로는

상기 제2데이터 입출력/어드레스 패드에 연결되어 상기 제2데이터 입출력/어드레  
스 패드로부터 인가되는 데이터/어드레스를 버퍼하는 데이터 입력/어드레스 버퍼;

제1상태의 상기 제어신호에 응답하여 인에이블되어 상기 데이터 입력/어드레스 버  
퍼로부터 출력되는 데이터를 래치하고 출력하는 데이터 입력 래치;

제 2상태의 상기 제어신호에 응답하여 인에이블되어 상기 데이터 입력/어드레스 버  
퍼로부터 출력되는 어드레스를 래치하고 출력하는 어드레스 입력 래치;

제1상태의 상기 제어신호에 응답하여 인에이블되어 내부로부터 출력되는 데이터를  
래치하고 출력하는 데이터 출력 래치; 및



제2상태의 상기 제어신호에 응답하여 인에이블되어 상기 데이터 출력 래치로부터 출력되는 데이터를 버퍼하여 출력하는 데이터 출력 버퍼를

상기 복수개의 제2데이터 입출력/어드레스 패드들 각각에 대하여 구비하는 것을 특징으로 하는 반도체 메모리 집적회로.

【청구항 3】

제1항에 있어서, 상기 제1패키지 형태는

BGA패키지인 것을 특징으로 하는 반도체 메모리 집적회로.

【청구항 4】

제1항에 있어서, 상기 제2패키지 형태는

TSOP인 것을 특징으로 하는 반도체 메모리 집적회로.

【청구항 5】

복수개의 제1데이터 입출력 패드들;

복수개의 어드레스 및 명령어 패드들; 및

복수개의 제2데이터 입출력/어드레스 및 명령어 패드들을 순서대로 배치하고,

상기 복수개의 제2데이터 입출력/어드레스 및 명령어 패드들 각각을

제1패키지 형태로 패키지화할 때는 제어신호에 응답하여 제2데이터 입출력 패드들로 사용하고, 제2패키지 형태로 패키지화할 때는 상기 제어신호에 응답하여 어드레스 및 명령어 패드들로 사용하는 것을 특징으로 하는 반도체 메모리 집적회로.

**【청구항 6】**

제5항에 있어서, 상기 반도체 메모리 집적회로는

상기 제2데이터 입출력/어드레스 및 명령어 패드에 연결되어 상기 제2데이터 입출력/어드레스 및 명령어 패드로부터 인가되는 데이터/어드레스 및 명령어를 버퍼하는 데이터 입력/어드레스 및 명령어 버퍼;

제1상태의 상기 제어신호에 응답하여 인에이블되어 상기 데이터 입력/어드레스 및 명령어 버퍼로부터 출력되는 데이터를 래치하고 출력하는 데이터 입력 래치;

제 2상태의 상기 제어신호에 응답하여 인에이블되어 상기 데이터 입력/어드레스 및 명령어 버퍼로부터 출력되는 어드레스 및 명령어를 래치하고 출력하는 어드레스 및 명령어 입력 래치;

제1상태의 상기 제어신호에 응답하여 인에이블되어 내부로부터 출력되는 데이터를 래치하고 출력하는 데이터 출력 래치; 및

제 2상태의 상기 제어신호에 응답하여 인에이블되어 상기 데이터 출력 래치로부터 출력되는 데이터를 버퍼하여 출력하는 데이터 출력 버퍼를

상기 복수개의 제2데이터 입출력/어드레스 및 명령어 패드들 각각에 대하여 구비하는 것을 특징으로 하는 반도체 메모리 집적회로.

**【청구항 7】**

제5항에 있어서, 상기 제1패키지 형태는

BGA패키지인 것을 특징으로 하는 반도체 메모리 집적회로.

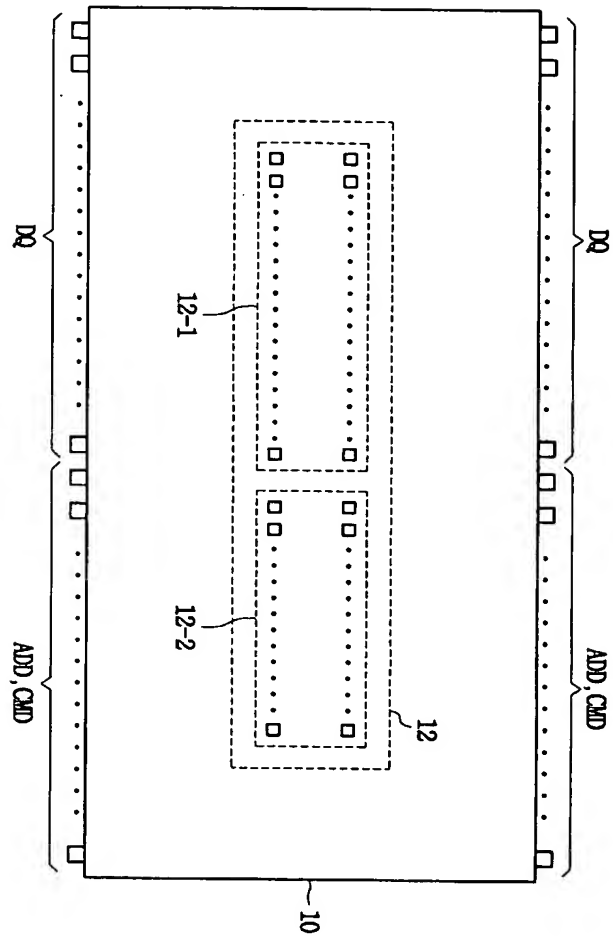
【청구항 8】

제5항에 있어서, 상기 제2패키지 형태는

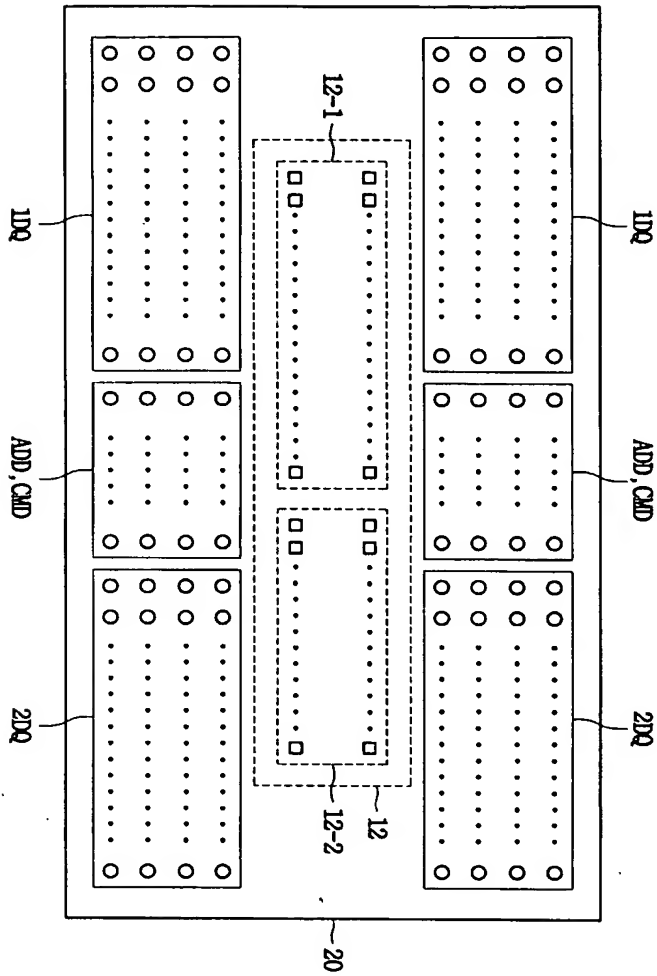
TSOP인 것을 특징으로 하는 반도체 메모리 집적회로.

【도면】

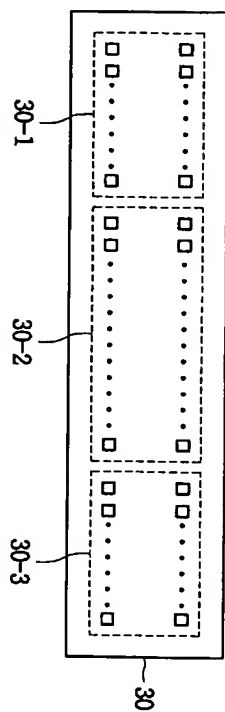
【도 1】



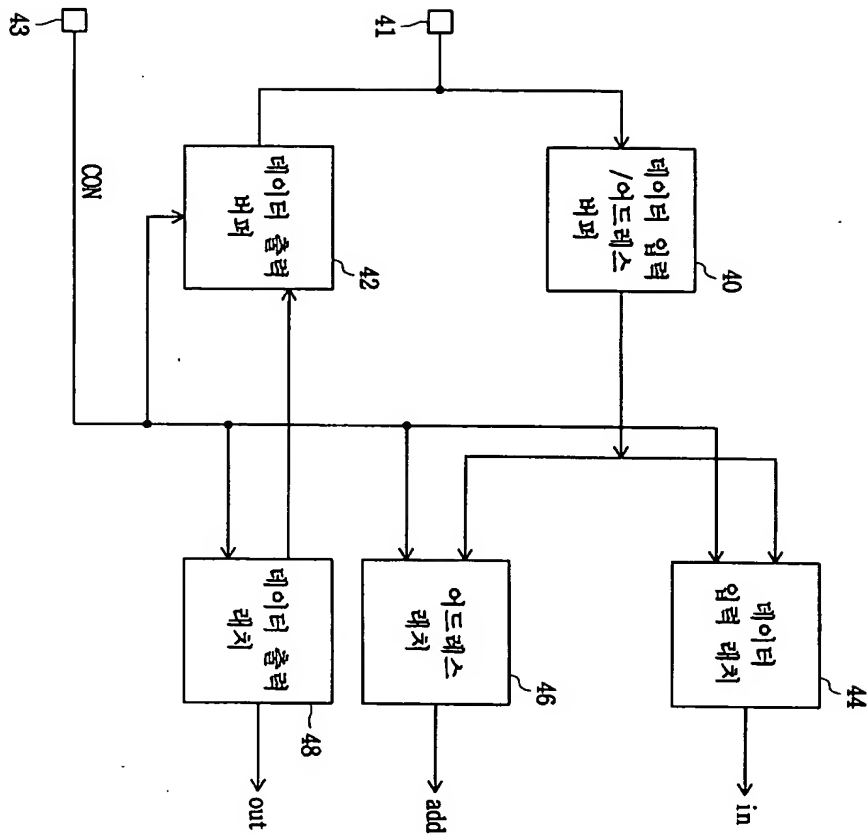
【도 2】



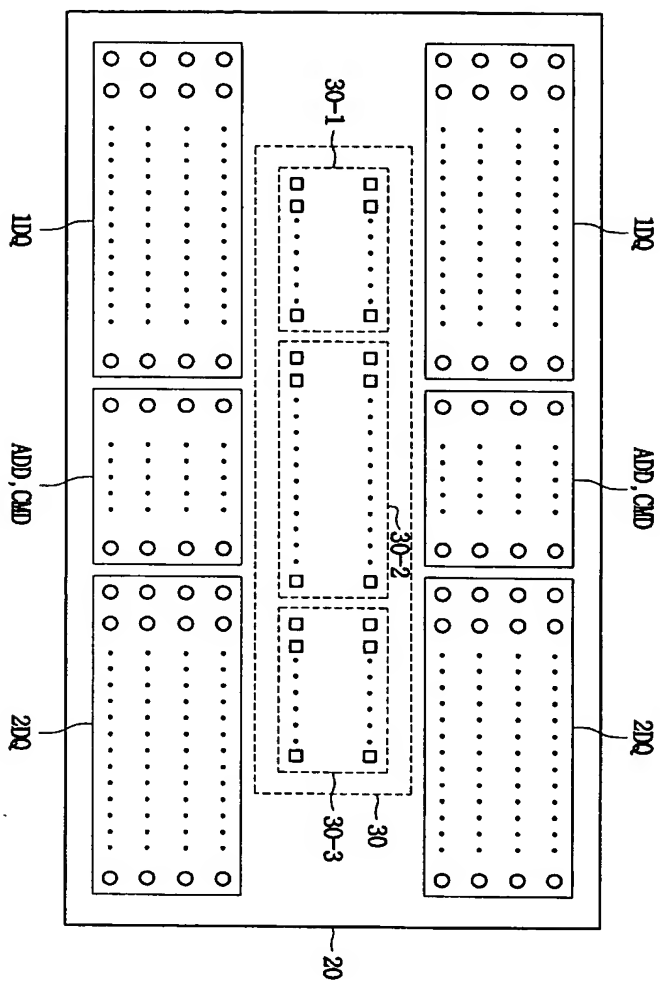
【도 3】



【도 4】



【도 5】





【도 6】

